

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-321137

(43)Date of publication of application : 12.12.1997

(51)Int.Cl.

H01L 21/768
H01L 21/28
H01L 21/28
H01L 21/3205

(21)Application number : 08-130166

(71)Applicant : NEC CORP

(22)Date of filing : 24.05.1996

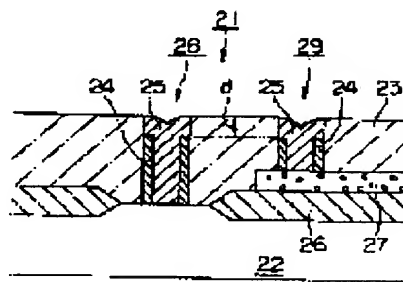
(72)Inventor : SUGAWARA ATSUSHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device in which troubles, such as, deterioration in flatness and a short circuit between wirings, are not generated in burying a tungsten film into holes of different depths, and manufacture thereof.

SOLUTION: A Ti/TiN multilayer film is formed on the surface of an interlayer insulating film 23 including inner surfaces of contact holes 28, 29. By performing etch back of this multilayer film, the Ti/TiN multilayer film is left only on the lateral sides of the contact holes 28, 29, as a sidewall 24. In this case, the distance from the opening of the contact hole to the upper end of the sidewall 24 is caused to be not less than half the diameter of the contact hole. Then, a tungsten film 25 is grown by a selective CVD method using the sidewall 24 as an underlying layer, and the tungsten film 25 is buried inside of the contact holes 28, 29.



LEGAL STATUS

[Date of request for examination] 24.05.1996

[Date of sending the examiner's decision of rejection] 26.05.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-321137

(43) 公開日 平成9年(1997)12月12日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/768			H 0 1 L 21/90	D
21/28			21/28	L
	3 0 1			3 0 1 R
21/3205			21/88	K

審査請求 有 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平8-130166

(22) 出願日 平成8年(1996)5月24日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 菅原 淳

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 志賀 正武

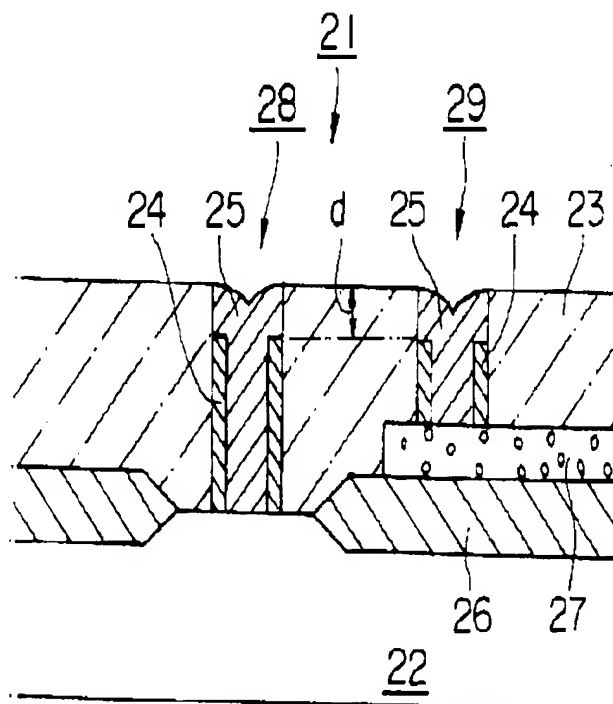
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 深さの異なるホールをタンゲステン膜で埋め込む際に、平坦性悪化、配線間ショート等の問題が生じない半導体装置およびその製造方法を提供する。

【解決手段】 まず、コンタクトホール28、29の内面を含む層間絶縁膜23の表面にTi-TiN積層膜を成膜する。そして、この積層膜をエッチバックすることにより、コンタクトホール28、29の側面にのみTi-TiN積層膜を残し、これをサイドウォール24とする。

この際、コンタクトホール入口からサイドウォールの上端までの距離がコンタクトホールの径の半分以上となるようにする。その後、選択CVD法を用いてサイドウォール24を下地としてタンゲステン膜25を成長させ、コンタクトホール28、29の内部をタンゲステン膜25で埋め込む。



【特許請求の範囲】

【請求項1】 絶縁膜に形成したコンタクトホールまたはフリーホールからなるホールと、該ホールの側面に形成された金属膜からなるサイドウォールと、前記ホールの内部に埋め込まれたタングステン膜を有し、前記ホールの入口から前記サイドウォールの上端までの距離が前記ホールの径の半分以上となっていることを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体装置において、前記サイドウォールを構成する金属膜が、少なくともチタン膜、チタン窒化膜のいずれかを含むことを特徴とする半導体装置。

【請求項3】 絶縁膜に形成したコンタクトホールまたはフリーホールからなるホールを選択CVD法を用いてタングステン膜で埋め込む方法であって、絶縁膜にホールを形成する工程と、該ホールの内面を含む前記絶縁膜の表面に金属膜を成膜する工程と、該金属膜をエッチバックすることにより、ホールの入口からその上端までの距離が該ホールの径の半分以上となるようにホールの側面に金属膜を残し、それをサイドウォールとする工程と、選択CVD法を用いて前記サイドウォールを下地としてタングステン膜を成長させ、前記ホールの内部をタングステン膜で埋め込む工程、を有することを特徴とする半導体装置の製造方法。

【請求項4】 請求項3に記載の半導体装置の製造方法において、前記金属膜が、少なくともチタン窒化膜、チタンタングステン膜のいずれかを含むことを特徴とする半導体装置の製造方法。

【請求項5】 請求項3または4に記載の半導体装置の製造方法において、前記サイドウォールを形成した後、ウェットエッチング法を用いて層間絶縁膜の表面層を除去し、その後、タングステン膜によるホールの埋め込みを行うことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本発明は、半導体装置およびその製造方法に関し、特に、選択CVD技術を用いてコンタクトホールやフリーホールをタングステン膜で埋め込む構造およびその方法に関するものである。

【0002】

【従来の技術】 従来、絶縁膜に形成したコンタクトホールやフリーホール（以下、単にホールと称する）を選択CVD法によるタングステン膜で埋め込む場合、タングステン膜をホールの底面からのみ成長させているため、深さの異なるホールを同時に、かつ完全に埋め込むことができなかった（図4はその様子を示すもの

である。

【0003】 図4は、タングステン膜でホールを埋め込む際の従来の一般的な手順を示している。まず、図4

a) に示すように、シリコン基板1表面にフェイルド絶縁膜2、ポリシリコン膜3を順次形成した後、その上に層間絶縁膜4を成膜し、層間絶縁膜4の所定の位置にコンタクトホール5、6を形成する。ここでは、シリコン基板1表面に達するコンタクトホール5とシリコン膜3表面に達するコンタクトホール6をそれぞれ、通常、層間絶縁膜4には、平坦性の高いボロン、リン等を含むリフロー性のガラス膜（Boron-Phospho-Silicate Glass）以下、BPSG膜と称する）を用いており、層間絶縁膜4表面の高さはほぼ一定となっている。したがって、コンタクトホール5とコンタクトホール6の深さの差 Δd は、ポリシリコン膜3の膜厚と、フェイルド絶縁膜2のうちシリコン基板1より上に成長した部分の膜厚の合計となり、この差は通常0.5 μm 以上ある。

【0004】 次に、図4-b) は、選択CVD技術を用いてコンタクトホール5、6内にタングステン膜7を成長させ、浅い方のコンタクトホール6が完全に埋め込まれた状態を示している。このように、タングステン膜7は、コンタクトホール5、6の側面からは成長せず、コンタクトホール5、6底面のシリコン基板1表面から選択的に成長している。仮にタングステン膜7の成長をこの段階で止めずにそのまま続けたとすると、図4-c) に示すように、タングステン膜7は浅いコンタクトホール6の上部からあふれるように成長し、平坦性を悪化させたり、配線間のショートを引き起こすことになる。

【0005】 そこで、上述の問題点を解決する方法として、タングステン膜をホールの底面からだけでなく、ホールの側壁からも成長させることが考えられた。特開昭64-65852号公報には、その目的こそ異なるものの、ホールの側壁からタングステン膜を成長させる方法が開示されている。この方法について図5を用いて説明する。

【0006】 まず、図5-a) に示すように、A1配線9上に層間絶縁膜10を成膜し、ホール11を形成する。次に、図5-b) に示すように、プラズマ処理装置を用いてA1⁺イオンによる衝撃を与えることによりホール11底面のA1をスパッタさせ、ホール11の側壁に付着させる。そして、この試料に対してタングステン膜の選択CVDを行うと、図5-c) に示すように、ホール11の側壁にスパッタされたA1がタングステンの成長の核となり、ホール11の側壁からもタングステン膜12が成長する。

【0007】 また、特開平2-306624号公報には、A1⁺イオンを斜めに入射させることでホール11の側壁にダメージを与え、そのダメージを核としてタングステンをホール側壁から成長させる技術が開示されている。この技術について図6を用いて説明する。

【0008】まず、図6（a）に示すように、シリコン基板13上に層間絶縁膜14を成膜し、フォトリソスト15をマスクとしてエッチングを行い、ホール16を開通する。次に、図6（b）に示すように、フォトリソスト15を残したまま、シリコン基板13に対してAr⁺イオンを斜めに入射させることでAr⁺イオンをホール16の側壁に衝突させ、ホール16側壁の層間絶縁膜14表面にダメージを発生させる。この際、層間絶縁膜14の上面はフォトリソスト15によって覆われているため、Ar⁺イオンによるダメージを受けることはない。そして、図6（c）に示すように、フォトリソスト15を除去した後、選択CVDによりタンクステン膜17を成長させる。すると、Ar⁺イオンによるダメージを受けたホール16側壁からもタンクステン膜17が成長する。

【0009】

【発明が解決しようとする課題】しかしながら、上記2つの公報に記載された従来のホール埋め込み方法では、ホール側壁からタンクステン膜が一樣に成長するため、図5（c）や図6（c）に示すように、ホールの入口付近からもタンクステン膜が成長することになる。すると、図7に示すように、ホール18を完全に埋め込んだ時にはタンクステン膜19がホール18からあふれ出てしまう、という欠点を有している。したがって、上記の従来技術は、ホール側壁からタンクステン膜を成長させるものであっても、平坦性の悪化、配線間のショートといった問題点を解決できるものではなかった。

【0010】本発明は、上記の課題を解決するためになされたものであって、深さの異なるホールを選択CVD法によるタンクステン膜で確長に埋め込み、平坦性の悪化、配線間のショートといった問題が生じることのない半導体装置およびその製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】上記の目的を達成するために、本発明の半導体装置は、絶縁膜に形成したコンタクトホールまたはスルーホールからなるホールと、ホールの側面に形成された金属膜からなるサイドウォールと、ホールの内部に埋め込まれたタンクステン膜を有し、ホールの入口からサイドウォールの上端までの距離がホールの径の半分以上となっていることを特徴とするものである。また、前記サイドウォールは、チタン窒化膜、チタンタンクステン膜のいずれかを含む膜で構成することができる。

【0012】また、本発明の半導体装置の製造方法は、絶縁膜にホールを形成する工程と、ホールの内面を含む絶縁膜の表面に金属膜を成膜する工程と、金属膜をエッチバックすることにより、ホール入口からその上端までの距離がホールの径の半分以上となるようにホールの側面に金属膜を残し、これをサイドウォールとする工程

と、選択CVD法を用いてサイドウォールを土壌としてタンクステン膜を成長させ、ホールの内部をタンクステン膜で埋め込む工程、を有することを特徴とするものである。そして、前記金属膜としては、チタン窒化膜、チタンタンクステン膜のいずれかを含む膜を用いることができる。また、他の手順として、前記サイドウォールを形成した後、ウェットエッチング法を用いて層間絶縁膜の表面層を除去し、その後、タンクステン膜によるホールの埋め込みを行うようにしてもよい。

【0013】本発明の製造方法によれば、金属膜をエッチバックすると、絶縁膜上面およびホール底面の金属膜が除去されてホールの側面にのみ金属膜が残り、これがサイドウォールとなる。その際、エッチバック時間を調節することによってホールの入口からサイドウォールの上端までの距離を調節することかでき、その距離をホールの径の半分以上とすることかできる。そして、この距離はホールの深さに係わらず一定になる。

【0014】この状態でタンクステン膜の選択CVDを行うと、サイドウォールを核としてタンクステン膜が成長する。そして、タンクステン膜の成長に伴ってホールが次第に埋め込まれていき、タンクステン膜の膜厚がホールの径の半分に達した時、ホールの径方向は完全に埋め込まれた状態となる。ここで、ホールの深さ方向を見ると、本方法では、ホールの入口からサイドウォールの上端までの距離がホールの径の半分以上となっているため、この時、サイドウォールの上端から上方に向けて成長したタンクステン膜はホールの入口にちょうど達するか、または達しない状態となる。したがって、本発明の製造方法を用いると、ホールの深さに係わらず、タンクステン膜がホールの入口からあふれることはない。

【0015】

【発明の実施の形態】以下、本発明の第1の実施の形態を図1～図3を参照して説明する。図1は、本実施の形態の半導体装置21を示す図であって、図中符号22はシリコン基板、23は層間絶縁膜、24はサイドウォール、25はタンクステン膜である。

【0016】図1に示すように、シリコン基板22上にフィールド酸化膜26、ポリシリコン膜27が形成され、これらを覆うようにBPSG膜からなる層間絶縁膜23が形成されている。層間絶縁膜23には、シリコン基板22表面に達するコンタクトホール28と、ポリシリコン膜27表面に達するコンタクトホール29が形成されている。そして、各コンタクトホール28、29の側面にはTi—TiN積層膜（金属膜）からなるサイドウォール24が形成され、その内部がタンクステン膜25で埋め込まれている。また、コンタクトホール28、29の入口からサイドウォール24の上端までの距離は、コンタクトホール28、29の径の半分以上となっている。具体的には、コンタクトホール28、29の径が0.6 μm 、距離dが0.3 μm である。

【0017】以下、上記構成の半導体装置の製造方法を図2、図3を用いて説明する。図2および図3は、本発明の第1の実施の半導体装置の製造方法、特にコンタクトホール28の埋め込み工程を順を追って示す図である。

【0018】まず、図2（a）に示すように、シリコン基板22表面にフッ素酸化膜26、ポリシリコン膜27を順次選択的に形成した後、その上にCVD法による層間絶縁膜23を成膜し、周知のフォトリソグラフィ・エッチング技術により層間絶縁膜23の所定の位置にコンタクトホール28、29を形成する。ここでは、シリコン基板22表面に達するコンタクトホール28とポリシリコン膜27表面に達するコンタクトホール29を示す。層間絶縁膜23としてはBPSG膜を用い、層間絶縁膜23表面の高さはほぼ一定となっている。したがって、コンタクトホール28とコンタクトホール29の深さの差 Δd は、ポリシリコン膜27の膜厚と、フッ素酸化膜26のうちシリコン基板22より上に成長した部分の膜厚の合計となり、この差 Δd は $0.5\mu\text{m}$ 以上である。また、コンタクトホール28、29の径はいずれも $0.6\mu\text{m}$ である。

【0019】次に、図2（b）に示すように、コンタクトホール28、29の内面を含む全面に、スパッタ法を用いて膜厚 60nm のチタン T_1 膜、膜厚 100nm のチタンサイド膜 T_1N 膜と2層合わせて符号30で示すを順次成膜する。その後、反応性イオンエッチング法を用いて T_1 膜と T_1N 膜からなる積層膜30をエッチバックする。エッチバック条件としては、圧力 3.0mTorr 、RFパワー 200W 、Arガス流量 90scm 、 C_{12} ガス流量 30scm とし、スパッタ性を高めたエッチングを行うことによって、図2（c）に示すように、コンタクトホール28、29側壁以外の T_1 ・ T_1N 積層膜30を残渣が生じることなく除去し、コンタクトホール28、29の側壁にのみ T_1 ・ T_1N 積層膜30を残すことができる。この残った T_1 ・ T_1N 積層膜30がサイドウォール24となる。この際、コンタクトホール28、29の入口からサイドウォール24の先端までの距離 d は、コンタクトホール径の1/2以上となるように、エッチバック時間を決定する必要がある。本実施の形態の場合、コンタクトホール径が $0.6\mu\text{m}$ であるから、距離 d を $0.3\mu\text{m}$ とする。

【0020】次に、選択CVD法を用いてタングステン膜25を成長させる。この時、図3（d）に示すように、タングステン膜25は、サイドウォール24表面とコンタクトホール28底面のシリコン基板22表面およびコンタクトホール29底面のポリシリコン膜27表面から成長し、サイドウォール24上の方の層間絶縁膜23表面からは成長しない。そして、図3（e）は、コンタクトホール28、29がタングステン膜25で完全に埋め込まれた状態を示す。

【0021】このように、本実施の形態の埋め込み方法

では、タングステン膜25成長の下地となるサイドウォール24をコンタクトホール28、29側壁に形成し、しかも、サイドウォール24の上端をコンタクトホール28、29の入口から $0.3\mu\text{m}$ 下げているため、タングステン膜25を $0.3\mu\text{m}$ 成長させた時に、 $0.6\mu\text{m}$ 径のコンタクトホール28、29が完全に埋め込まれると同時に、タングステン膜25の上端がちょうどコンタクトホール28、29の入口に達し、コンタクトホール28、29からあふれることはない。したがって、本方法によれば、深さの異なるコンタクトホール28、29を選択CVD法によるタングステン膜25で確実に埋め込むことができ、平坦性の悪化、配線間のショートといった従来法の問題点を解決することかできる。

【0022】また、コンタクトホール28、29がサイドウォール24によって保護されているため、コンタクトホール28、29底部の寸法が変動することはない。

【0023】以下、本発明の第2の実施の形態を説明する。第1の実施の形態では、全面に形成した T_1 ・ T_1N 積層膜をエッチバックし、サイドウォールを形成した後、そのままタングステン膜を成膜したが、第2の実施の形態では、サイドウォール形成後、次の処理を施す。

【0024】すなわち、全面をエッチバックしたことによってダメージを受けている層間絶縁膜の表面層を $1\sim 100$ 弗酸による30秒程度のウェットエッチングで除去し、その後、選択CVD法によりタングステン膜を成膜する。その他の工程は第1の実施の形態と同様である。一般に、選択CVDではタングステン膜が成長しないはずのBPSG膜であっても、エッチング等によるダメージがあればそれが膜成長の核となることもある。ところが、本方法ではダメージ層を除去しているため、層間絶縁膜表面からのタングステン膜の非選択成長が抑制され、つまり必要な個所にタングステン膜が成長することがなく、良好な埋め込み形状を実現することかできる。

【0025】また、本実施の形態においても、深さの異なるコンタクトホールを確実に埋め込むことができ、平坦性の悪化、配線間のショートを防止することかできる、という第1の実施の形態と同様の効果を奏することかできるのは勿論である。

【0026】なお、本発明の技術範囲は上記実施の形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。例えば上記実施の形態では、サイドウォール膜として T_1 ・ T_1N 積層膜を用いたが、チタン・タングステン（ T_1W ）膜等を用いても同様な効果を得ることかできる。また、各部の具体的な寸法や各工程の具体的な処理条件については、上記実施の形態に限らず、適宜変更することが可能である。また、上記コンタクトホールの埋め込み方法はフルホールに適用することもでき、種々の形態

の半導体装置に本発明を応用することかできる。

【0007】

【発明の効果】以上、詳細に説明したように、本発明によれば、タンタステン膜成長の地となるサイドウォールをホール側面に形成し、しかも、サイドウォールの上部をホールの口からホールの径の半分以上下げたため、コンタクトホールがタンタステン膜で完全に埋め込まれた時にタンタステン膜の上部がコンタクトホールの口からあふれることはない。したがって、本発明によれば、深さの異なるコンタクトホールを選択CVD法によるタンタステン膜で確実に埋め込むことができ、平坦性の悪化、配線間のショートといった従来法の問題点を解決することかできる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態である半導体装置を示す断面図である。

【図2】同、半導体装置の製造方法、特にコンタクトホールの埋め込み方法を順を追って示すプロセスフロー図である。

【図3】同、プロセスフロー図の続きである。

【図4】従来のコンタクトホールの埋め込み方法を順を追って示すプロセスフロー図である。

【図5】タンタステン膜をホール側壁から成長させる従来の埋め込み方法を順を追って示すプロセスフロー図である。

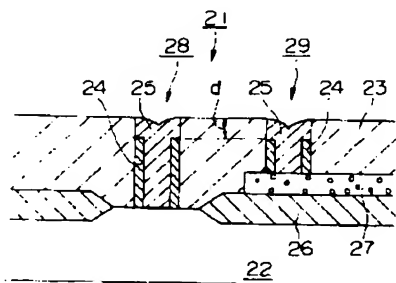
【図6】タンタステン膜をホール側壁から成長させる従来の他の埋め込み方法を順を追って示すプロセスフロー図である。

【図7】従来の問題点を説明するための図である。

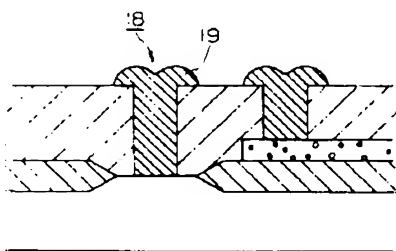
【符号の説明】

- 21 半導体装置
- 22 シリコン基板
- 23 層間絶縁膜
- 24 サイドウォール
- 25 タンタステン膜
- 26 フィールド酸化膜
- 27 ポリシリコン膜
- 28、29 コンタクトホール
- 30 Ti/TiN積層膜（金属膜）

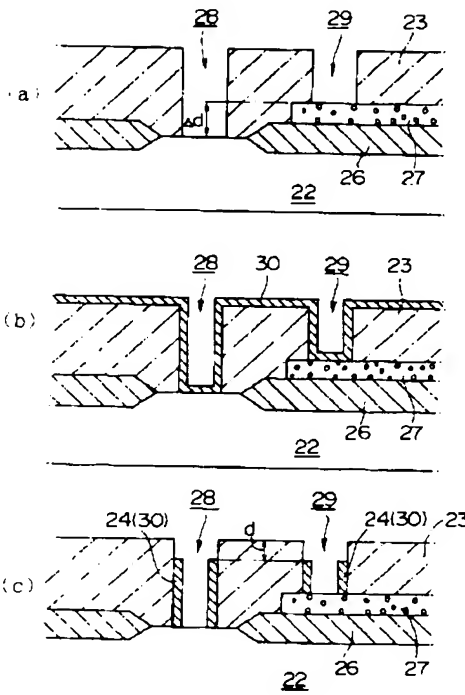
【図1】



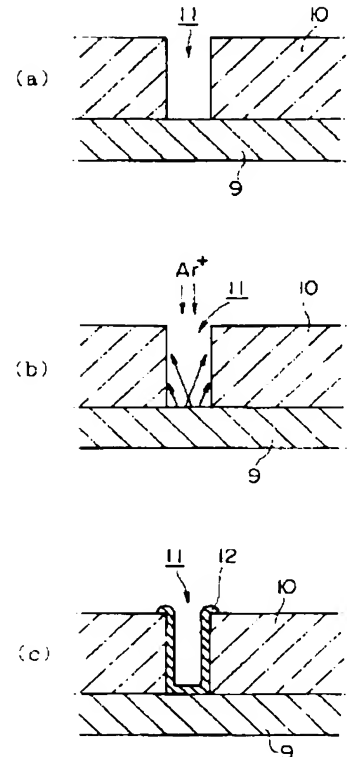
【図2】



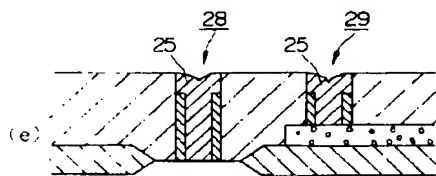
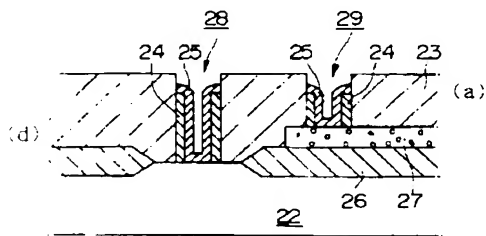
【図3】



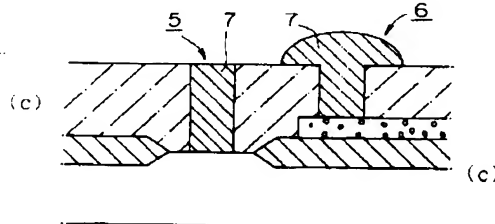
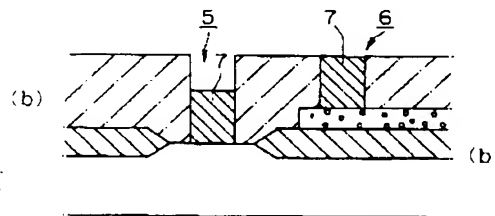
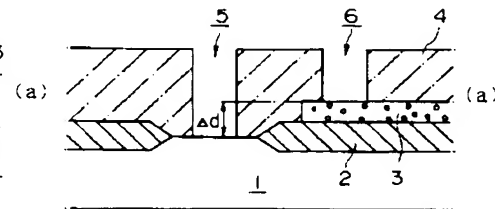
【図5】



【図3】



【図4】



【図6】

